

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

Method for Fabricating a Contact Pad of Semiconductor Device

Abstract of the Disclosure :

A method of fabricating a contact pad of a semiconductor device is disclosed. The method includes forming a stopping layer over the semiconductor substrate. An interdielectric layer is formed over the stopping layer, and the interdielectric layer is planarized to expose at least a gate upper dielectric layer by using a material which exhibits a high-polishing selectivity with respect to the interdielectric layer. The interdielectric layer is etched in a region in which a contact pad will be formed on the semiconductor substrate. A conductive material is deposited on the semiconductor substrate. Finally, planarizing is carried out using a material which exhibits a high-polishing selectivity of the upper dielectric layer with respect to the conductive material.

中華民國專利公報 [19] [12]

[11]公告編號：501234

[44]中華民國 91 年 (2002) 09 月 01 日

發明

全 5 頁

[51] Int.Cl⁰⁷ : H01L21/768

第 91134675 號
初審(新願)引証附件
再審

[54]名稱：用於製造半導體元件之接觸墊之方法

[21]申請案號：090124378

[22]申請日期：中華民國 90 年 (2001) 10 月 03 日

[72]發明人：

朴榮來	韓國
金政燁	韓國
尹普彥	韓國
河商錄	韓國

[71]申請人：

三星電子股份有限公司	韓國
------------	----

[74]代理人：林鎰珠 先生

1

2

[57]申請專利範圍：

1. 一種製造半導體元件接觸墊的方法，此方法包含：

(a) 形成包含閘極上方介電層之一閘極結構在半導體基板上；

(b) 形成一停止層於該半導體基板上；

(c) 形成一中間介電層於該停止層上；

(d) 使用對中間介電層呈現高研磨選擇比之材質，將中間介電層平坦化，以至少露出閘極上方介電層；

(e) 蝕刻接觸墊所要形成在半導體基板上之區域內的該中間介電層；

(f) 沈積作為半導體基板上的接觸墊之一導電材質；以及

(g) 使用閘極上方介電層對導電材質呈現高研磨選擇比之材質加以平坦化。

2. 如申請專利範圍第 1 項之方法，其中，閘極上方介電層為由主要包含

氮化層(SiN)與氧化鋁層(Al_2O_3)之群組中選擇出之一個。

3. 如申請專利範圍第 1 項之方法，其中，閘極上方介電層的厚度約在 1500 Å 至 2500 Å 的範圍內。

4. 如申請專利範圍第 1 項之方法，其中，該停止層為一氮化矽層(SiN)。

5. 如申請專利範圍第 1 項之方法，其中，該停止層的厚度約在 50 Å 至 15 Å 的範圍內。

6. 如申請專利範圍第 1 項之方法，其中，中間介電層是從包含聚合物、HDP 氧化矽層、PE-TEOS 層、USG 層、BPSG 層、FOX 層與光阻層之群組中所選擇出之介電層。

7. 如申請專利範圍第 1 項之方法，其中，用來平坦化中間介電層之製程被進一步用於中間介電層沈積之後實施。

8. 如申請專利範圍第 1 項之方法，其

- 中，(d)之平坦化是使用從 CMP 與乾蝕刻中所選擇的一種製程來進行。
- 9.如申請專利範圍第 8 項之方法，其中，CMP 是使用閘極上方介電層對中間介電層呈現約 1：5 至 1：50 範圍之研磨選擇比的研磨劑來進行。
- 10.如申請專利範圍第 9 項之方法，其中，研磨劑由包括從氧化鋁、矽酸鹽、二氧化鈾及 Mn_2O_3 之群組中所選擇之研磨顆粒。
- 11.如申請專利範圍第 1 項之方法，其中，一蝕刻緩衝層被形成在平坦化之半導體基板的整體表面上，其係在(d)之後進一步地實施。
- 12.如申請專利範圍第 11 項之方法，其中，抗反射層係形成在已製作了蝕刻緩衝層之半導體基板上。
- 13.如申請專利範圍第 11 項之方法，其中，蝕刻緩衝層用與導電材質相同之材質來製作。
- 14.如申請專利範圍第 11 項之方法，其中，蝕刻緩衝層的厚度約在 500 Å 至 1500 Å 的範圍內。
- 15.如申請專利範圍第 12 項之方法，其中，抗反射層包括非結晶碳層。
- 16.如申請專利範圍第 1 項之方法，其中，停止層所露出一部份在(e)之

後做蝕刻。

- 17.如申請專利範圍第 1 項之方法，其中，接觸墊的導電材質是從由多晶矽、鈦、氮化鈦及鎢組成之群組中加以選擇。
- 18.如申請專利範圍第 1 項之方法，其中，(g)之平坦化是實施由乾蝕刻與 CMP 組成之群組中選擇出的一種製程。
- 19.如申請專利範圍第 18 項之方法，其中，CMP 製程是使用閘極上方介電層對導電材質呈現約 1：5 至 1：50 範圍之研磨選擇比的研磨劑來進行。
- 20.如申請專利範圍第 19 項之方法，其中，研磨劑包括從氧化鋁、矽酸鹽、二氧化鈾及 Mn_2O_3 組成的群組中所選擇之研磨顆粒。

圖式簡單說明：

圖 1 至圖 4 為描述根據傳統技術用來製造半導體元件之接觸墊的方法之剖面圖。

圖 5 至圖 8 為描述根據本發明用來製造半導體元件之接觸墊的方法之剖面圖。

圖 9 為說明根據本發明製造半導體接觸墊時閘極上方介電層之損耗的圖表。

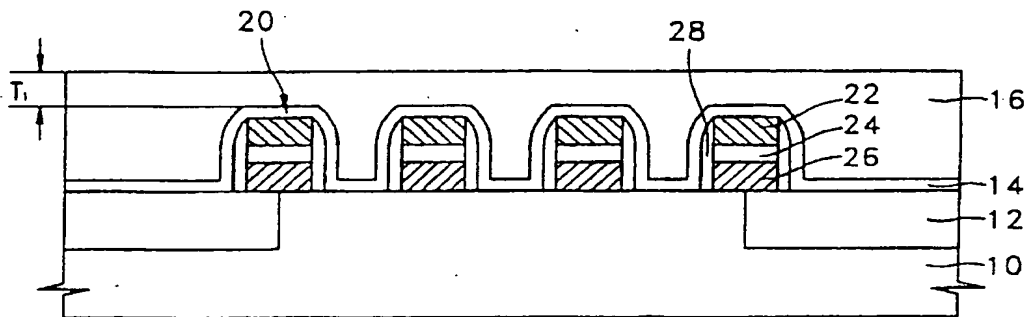


圖 1

(3)

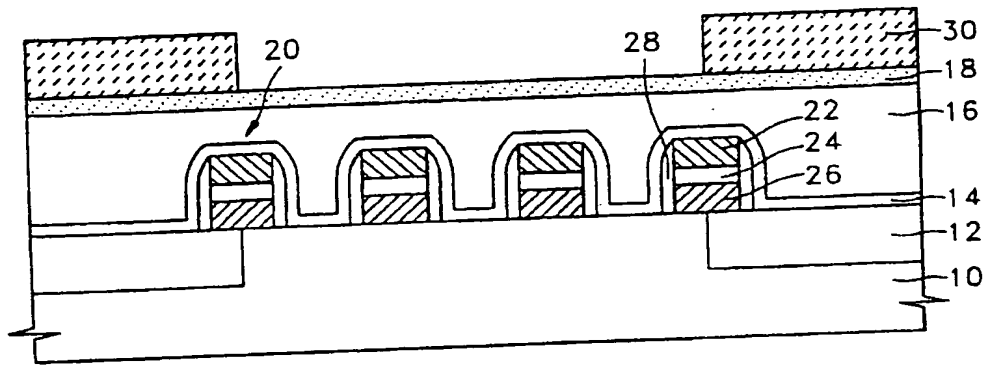


圖 2

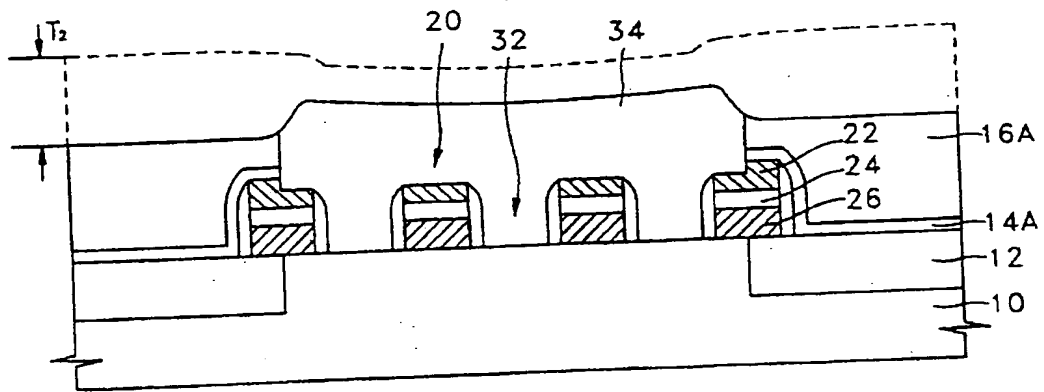


圖 3

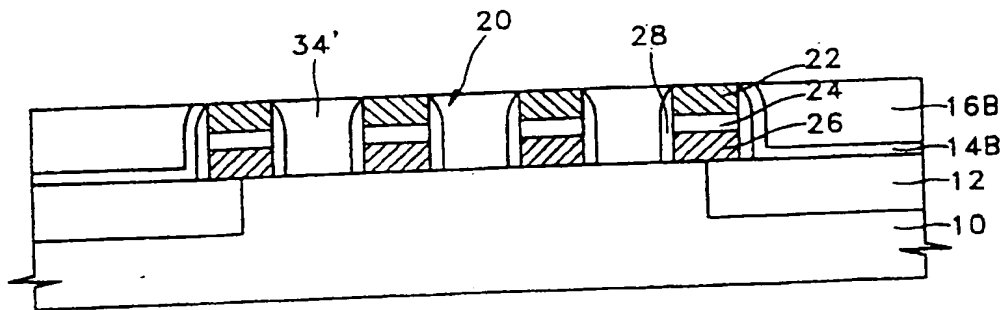


圖 4

(4)

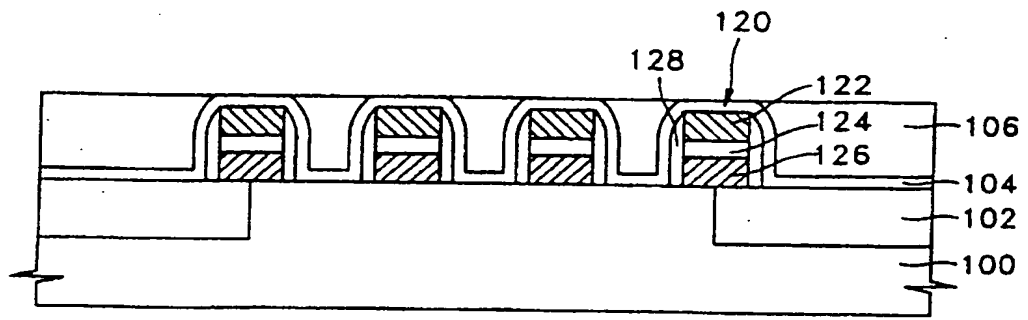


圖 5

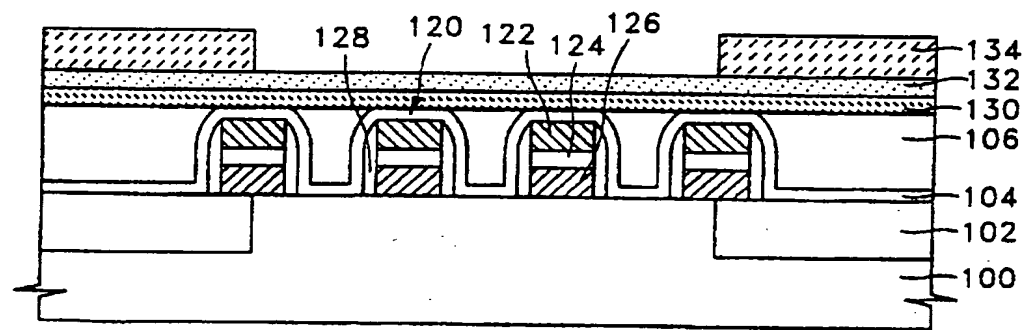


圖 6

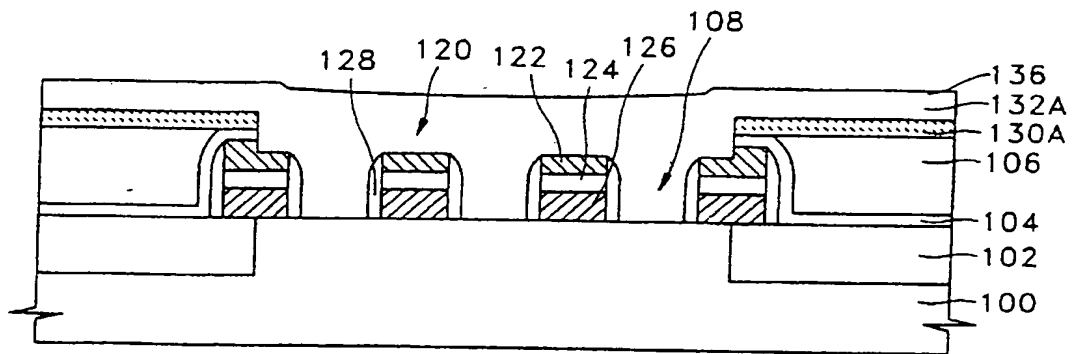


圖 7

(5)

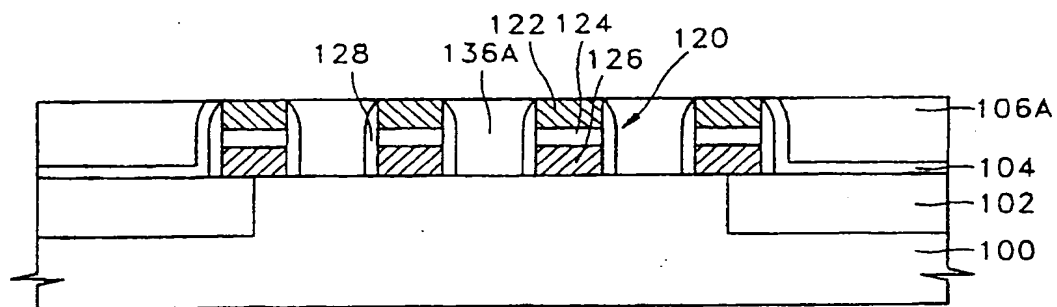


圖 8

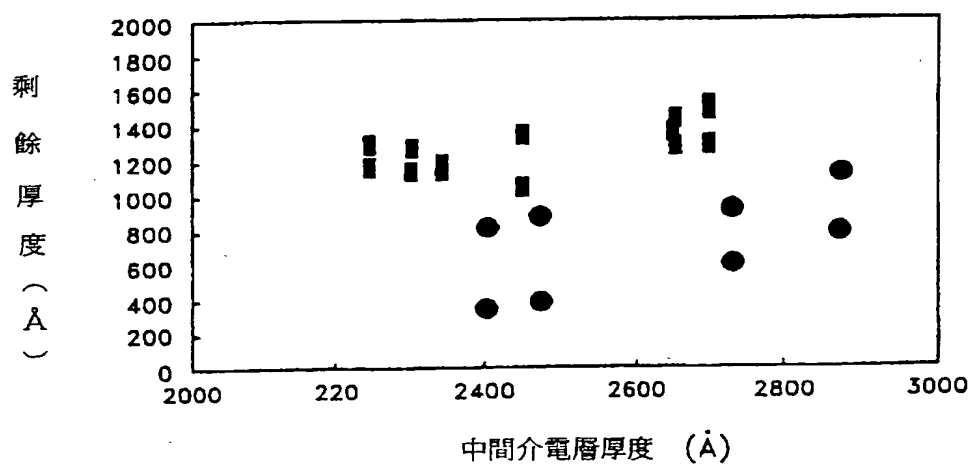


圖 9

正本

裝

訂

線

經濟部智慧財產局專利核駁審定書

受文者：友達光電股份有限公司（代理人：洪澄

文 先生、顏錦順 先生）

地址：臺北市大安區信義路四段二七九號三樓

發文日期：中華民國九十二年十一月十二日

發文字號：（九二）智專一（一）04077字

第〇九二二一一四二六六〇號

專利分類IPC(7)：H01L 21/306

一、申請案號數：〇九一一三四六七五

二、發明名稱：避免矽層蝕刻不均勻的方法

三、申請人：

名稱：友達光電股份有限公司

地址：新竹市新竹科學工業園區力行二路一號

四、專利代理人：

姓名：洪澄文 先生

地址：臺北市大安區信義路四段二七九號三樓

姓名：顏錦順 先生

地址：臺北市大安區信義路四段二七九號三樓

五、申請日期：九十一年十一月二十八日



訂

線

六、優先權項目：

七、審查人員姓名：王榮華 委員

八、審定內容：

主文：本案應不予專利。

依據：專利法第二十條第二項。

理由：

(一) 本案「避免矽層蝕刻不均勻的方法」，係關於一種避免矽層蝕刻不均勻的方法。

(二) 本案主要之技術特徵係藉由一抗蝕刻能力佳的蝕刻緩衝層，在矽層表面與側壁上提供一蝕刻阻力，可獲得厚度均勻的矽層。首先，提供一矽層。接著，形成一具有預定圖案之罩幕層於上述矽層之部分表面。當全面性施行一第二次蝕刻程序，不僅去除蝕刻緩衝層，且蝕刻圖案化矽層，使圖案化矽層具有一既定厚度。惟二〇〇二年九月一日公告之本國專利公告第501234號（附件一）已揭示利用一蝕刻緩衝層以避免其底下之受蝕刻層產生不均勻或碟形，且控制底下之受蝕刻層具有一既定厚度。本案與引證案之技術特徵類同，目的相似，易為熟悉半導體製造技藝人士藉參考引證案而可演譯變化完成，本案不具進步性。

(三) 綜上所述，本案係運用申請前之技術或知識，而為熟悉該項技術者所能輕易完成者。

據上論結，本案不符法定專利要件，爰依專利法第二十條第二項，審定如主文。

局長 蔡練生

依照分層負責規定授權單位主管決行

如不服本審定，得於文到之次日起三十日內，備具再審查理由書一式二份及規費新台幣陸仟元整（專利說明書及圖式合計在五十頁以上者，每五十頁加收新台幣五百元，其不足五十頁者以五十頁計），向本局申請再審查。